

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-237136

(43)公開日 平成6年(1994)8月23日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 3 H 3/08

7259-5J

C 2 3 F 4/00

C 8414-4K

// H 0 1 L 21/302

J 9277-4M

審査請求 未請求 請求項の数 1 OL (全 4 頁)

(21)出願番号 特願平5-21155

(22)出願日 平成5年(1993)2月9日

(71)出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72)発明者 越戸 義弘

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

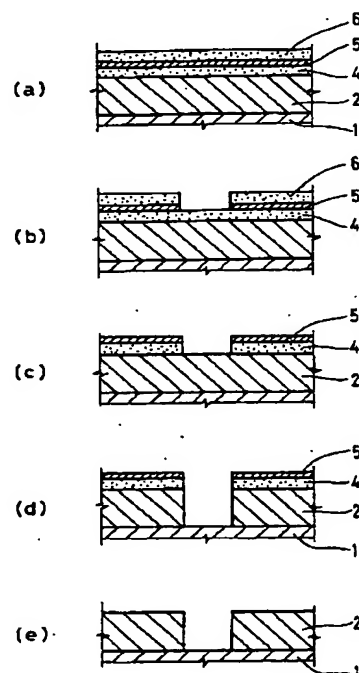
(74)代理人 弁理士 岡田 和秀

(54)【発明の名称】 電子部品素子の製造方法

(57)【要約】

【目的】 膜厚が $3\mu\text{m}$ 以上と厚い酸化膜や金属膜などによっても微細なパターンを精度よく形成することができる電子部品素子の製造方法を提供する。

【構成】 下地1上の被エッチング膜2を第1レジスト膜4で覆い、かつ、該第1レジスト膜4上に被エッチング膜2との選択比が高い高選択比薄膜5を堆積した後、該高選択比薄膜5を第2レジスト膜6で覆う工程と、第2レジスト膜6をパターニングした後、該第2レジスト膜6をマスクとして高選択比薄膜5をエッチングする工程と、第2レジスト膜6を剥離した後、高選択比薄膜5を介して第1レジスト膜4をパターニングする工程と、高選択比薄膜5をマスクとして被エッチング膜2を反応性イオン・エッチングする工程と、第1レジスト膜4の剥離と同時に、高選択比薄膜5を除去する工程とを含むことを特徴とする電子部品素子の製造方法である。



1

【特許請求の範囲】

【請求項1】下地(1)上の被エッチング膜(2)を第1レジスト膜(4)で覆い、かつ、該第1レジスト膜(4)上に被エッチング膜(2)との選択比が高い高選択比薄膜(5)を堆積した後、該高選択比薄膜(5)を第2レジスト膜(6)で覆う工程と、第2レジスト膜(6)をパターンニングした後、該第2レジスト膜(6)をマスクとして高選択比薄膜(5)をエッチングする工程と、第2レジスト膜(6)を剥離した後、高選択比薄膜(5)を介して第1レジスト膜(4)をパターンニングする工程と、高選択比薄膜(5)をマスクとして被エッチング膜(2)を反応性イオン・エッチングする工程と、第1レジスト膜(4)の剥離と同時に、高選択比薄膜(5)を除去する工程とを含むことを特徴とする電子部品素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は表面弾性波素子(SAWデバイス)のような電子部品素子の製造方法にかかり、詳しくは、被エッチング膜を反応性イオン・エッチング(以下、RIEという)する技術に関する。

【0002】

【従来の技術】従来から、SAWデバイスなどを製造するにあたっては、素子基板上に形成された酸化膜や金属膜などをエッチングすることによって所定形状とされたパターンを形成することが行われている。そして、このような際には、図3で示すように、下地であるセラミック製の素子基板1上に堆積させられた被エッチング膜である酸化膜(SiO_2 膜)2の表面上を所定膜厚のレジスト膜3によって全面的に覆い、かつ、このレジスト膜3をパターンニングした後、このパターンニングされたレジスト膜3をマスクとして SiO_2 膜2をフッ素系のプラズマでRIEするのが一般的な手順となっている。

【0003】

【発明が解決しようとする課題】ところで、前述したようなRIEによるパターン形成にあたっては、 SiO_2 膜2とレジスト膜3との選択比が0.5未満と低いため、 SiO_2 膜2よりも充分に膜厚の厚いレジスト膜3を形成しておく必要がある。すなわち、例えば、膜厚が $10\mu\text{m}$ 程度とされた SiO_2 膜2のRIEによってパターンを形成するのであれば、 $20\mu\text{m}$ 以上もの膜厚を有するレジスト膜3を形成しておくことになるのが一般的である。しかしながら、このように厚いレジスト膜3を形成したうえでのRIEを行ったのでは、 SiO_2 膜2からなる微細なパターンを形成することができなくなってしまう。

【0004】また、数 μm 幅オーダの微細なパターンを形成し得るレジスト膜3の最大膜厚は $10\mu\text{m}$ 程度とい

2

われており、この程度の膜厚を有するレジスト膜3によっては、RIEし得る SiO_2 膜2の膜厚が $3\mu\text{m}$ 程度と薄く制限されてしまうことになる。その結果、やはり $3\mu\text{m}$ 程度以上の膜厚を有する SiO_2 膜2からなる微細なパターンを精度よく形成することはできないのが実情となっていた。

【0005】本発明は、これらの不都合に鑑みて創案されたものであって、膜厚が $3\mu\text{m}$ 以上と厚い酸化膜や金属膜などによっても微細なパターンを精度よく形成することができる製造方法の提供を目的としている。

【0006】

【課題を解決するための手段】本発明に係る電子部品素子の製造方法は、このような目的を達成するために、下地の被エッチング膜を第1レジスト膜で覆い、かつ、該第1レジスト膜上に被エッチング膜との選択比が高い高選択比薄膜を堆積した後、該高選択比薄膜上に第2レジスト膜を堆積させる工程と、第2レジスト膜をパターンニングした後、該第2レジスト膜をマスクとして高選択比薄膜をエッチングする工程と、第2レジスト膜を剥離した後、高選択比薄膜を介して第1レジスト膜をパターンニングする工程と、高選択比薄膜をマスクとして被エッチング膜を反応性イオン・エッチングする工程と、第1レジスト膜の剥離と同時に、高選択比薄膜を除去する工程とを含むことを特徴としている。

【0007】

【作用】上記方法によれば、膜厚の薄い高選択比薄膜は第2レジスト膜をマスクとしてエッチングされるから、この高選択比薄膜に形成されるパターンの精度は第2レジスト膜のパターンニング時における精度に依存して決定されることになり、極めて精度の高いパターンが形成されることになる。そして、この精度の高いパターンが形成された高選択比薄膜は被エッチング膜に対しての選択比が高いのであるから、高選択比薄膜をRIE時のマスクとして用いる結果、被エッチング膜においても精度の高いパターンが形成されることになる。

【0008】

【実施例】以下、本発明方法の実施例を図面に基づいて説明する。

【0009】図1は本実施例にかかる電子部品素子の製造方法を手順に従って示す工程断面図、図2はその変形例を示す工程断面図であり、これらの図において従来例を示す図3と互いに同一となる部品、部分には同一符号を付している。

【0010】本実施例方法においては、まず、図1

(a)で示すように、下地であるセラミック製の素子基板1を用意し、スパッタリングによって素子基板1の表面上に膜厚が $10\mu\text{m}$ 程度とされた被エッチング膜である SiO_2 膜2を堆積した後、この SiO_2 膜2上を全面的に覆う膜厚 $1\mu\text{m}$ 程度の第1レジスト膜4をポジ型フォトリソの塗布・乾燥によって形成する。そし

3

て、引き続き、この第1レジスト膜4上に、 SiO_2 膜2との選択比が高い金属材料、例えば、100以上の選択比を有するアルミニウム(A1)からなる膜厚3000Å(オングストローム)程度の高選択比薄膜5を蒸着などの手法によって形成した後、さらに、この高選択比薄膜5上にポジ型フォトリソを塗布したうえで乾燥させることによって膜厚が1μm程度となった第2レジスト膜6を形成する。

【0011】次に、図1(b)で示すように、最上部に位置する第2レジスト膜6の露光・現像によるパターンニングを行った後、パターンニングされた第2レジスト膜6をマスクとしたうえでの高選択比薄膜5のエッチングを行う。なお、この際のエッチングは、RIEなどのドライエッチングまたはウェットエッチングのいずれであってもよい。そして、このとき、第2レジスト膜6の膜厚は極めて薄いものとされているから、高選択比薄膜5には何らの不都合もなく数μm幅オーダのパターンが形成されることになる。

【0012】さらに、図1(c)で示すように、全面的な露光及び現像、または、いわゆるドライ現像(O_2 RIE)を行うことによって第2レジスト膜6を高選択比薄膜5から剥離した後、この高選択比薄膜5を介しての第1レジスト膜4に対するパターンニングを行う。その後、図1(d)で示すように、パターンが形成された高選択比薄膜5をマスクとしたうえで SiO_2 膜2をフッ素系のプラズマによってRIEすると、この SiO_2 膜2には所望形状のパターンが形成される。なお、ここで、図1(c)は高選択比薄膜5がA1などの光を通さない膜である場合を示しており、この高選択比薄膜5が光を通す場合には図2(a)で示すようになる。しかし、図2(a)で示すような構成となっても、次工程で異方性エッチングのRIEが行われるため、図1(d)と基本的に異なる図2(b)で示すような構成が得られることになる。

【0013】そこで、引き続き、素子基板1をアセトンなどのような剥離液中に浸漬したうえで超音波振動を加える。すると、図1(e)で示すように、 SiO_2 膜2上に残っていた第1レジスト膜4が剥離されると同時に、この第1レジスト膜4上に形成されていた高選択比薄膜5が第1レジスト膜4とともに除去されてしまうこ

4

*となり、素子基板1の表面上には SiO_2 膜2からなるパターンのみが残ることになる。

【0014】なお、本実施例においては下地が素子基板1であるものとしているが、これに限られることはなく、例えば、素子基板の表面上を覆って形成された電極膜や中間膜を下地とすることも可能であり、これらの材質はセラミック、水晶や SiO_2 、Siなどのいずれであっても差し支えない。また、 SiO_2 膜2のみが被エッチング膜になるとは限らないのも勿論である。さらにまた、フォトリソがポジ型には限定されずにネガ型であってもよいのは勿論のこと、 SiO_2 膜2との選択比が高い高選択比薄膜5の形成材料がA1に限られないのも勿論である。

【0015】

【発明の効果】以上説明したように、本発明にかかる電子部品素子の製造方法では、被エッチング膜上に第1レジスト膜、高選択比薄膜及び第2レジスト膜のそれぞれを順次形成した後、第2レジスト膜をマスクとして高選択比薄膜をエッチングし、さらに、高選択比薄膜をマスクとして被エッチング膜のRIEを行っている。そこで、この際、高選択比薄膜に形成されるパターンの精度は第2レジスト膜のパターンニング精度に依存して微細化され、また、この微細なパターンが形成されたうえで被エッチング膜との選択比が高い高選択比薄膜をRIE時のマスクとして用いる結果、被エッチング膜の膜厚が3μm以上と厚い場合であっても精度の極めて高い微細なパターンを形成することができるという効果が得られる。

【図面の簡単な説明】

【図1】本実施例にかかる電子部品素子の製造方法を手順に従って示す工程断面図である。

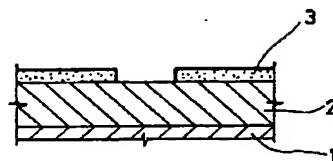
【図2】その変形例を示す工程断面図である。

【図3】従来例にかかる電子部品素子の製造方法を示す工程断面図である。

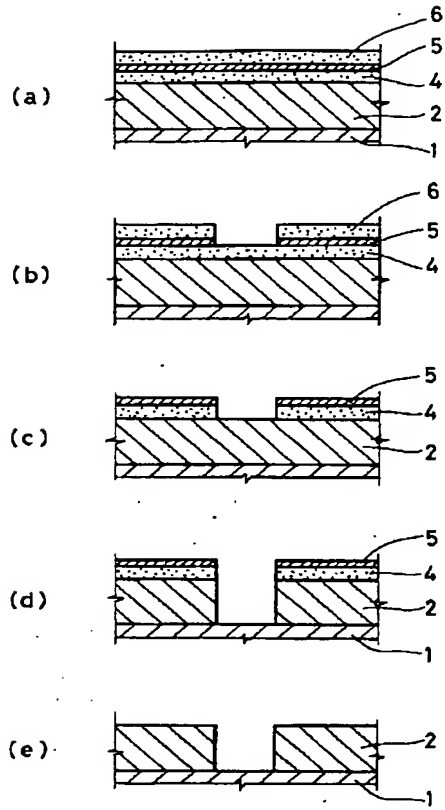
【符号の説明】

- 1 素子基板(下地)
- 2 SiO_2 膜(被エッチング膜)
- 4 第1レジスト膜
- 5 高選択比薄膜
- 6 第2レジスト膜

【図3】



【図1】



【図2】

